

W/065

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-279566

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

H01L 21/8246
 H01L 27/112
 G11C 16/06
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 07-081003

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.04.1995

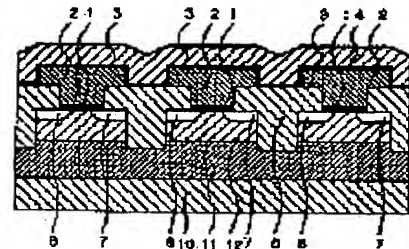
(72)Inventor : KATO MASATAKA
 ADACHI TETSUO
 KUME HITOSHI
 KOBAYASHI TAKASHI

(54) PARALLEL-CONNECTED TYPE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE
 AND USE OF SAID DEVICE

(57)Abstract:

PURPOSE: To realize a high-density writable nonvolatile storage device by a method wherein MOS transistors, which respectively have each one of drain regions and source regions, which are formed in a well layer, are used as memory cells.

CONSTITUTION: An N-type well layer 11 and a P-type well layer 12 are formed in order on the upper layer part of a semiconductor substrate 10 consisting of a P-type silicon film and drain and source regions 7 and 8 are formed in the interior of the layer 12. A gate insulating film 1 is formed on the surface of the layer 12 and floating gate 2 consisting of a metal film, such as a polycrystalline silicon film or a tungsten film, are formed on the film 1. The surfaces of the gates 2 are covered with an interlayer insulating film 3 consisting of a silicon oxide film and a word line 4 consisting of a metal film, such as a polycrystalline silicon film or a tungsten film, is formed on the film 3. Memory cells are electrically insulated from each other by each coil isolation region 5. As the memory cells are parallel-connected, the readout of data can be conducted at high speed.



LEGAL STATUS

[Date of request for examination]

02.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3328463

[Date of registration] 12.07.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279566

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8246			H 0 1 L 27/10	4 3 3
			G 1 1 C 17/00	5 1 0 A
G 1 1 C 16/06			H 0 1 L 29/78	3 7 1
H 0 1 L 21/8247				
29/788				

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平7-81003

(22) 出願日 平成7年(1995)4月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 正高

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 足立 哲生

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 久米 均

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

最終頁に続く

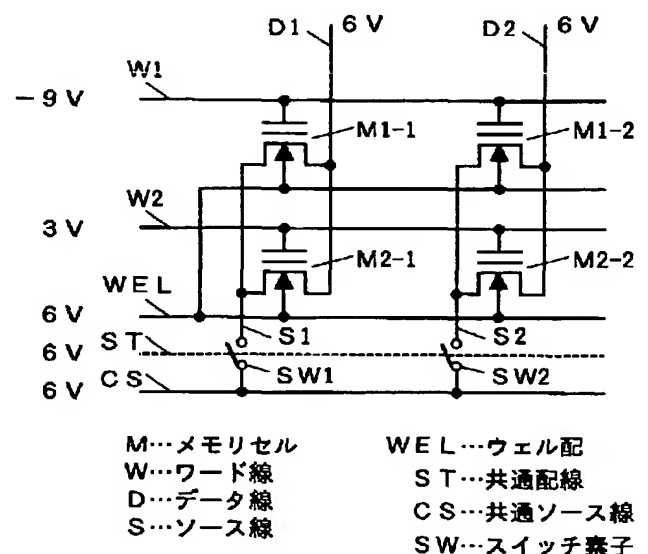
(54) 【発明の名称】 並列型不揮発性半導体記憶装置及び同装置の使用方法

(57) 【要約】

【目的】極めて高密度の電氣的書換可能な不揮発性記憶装置を容易に実現することができる新規な構成の半導体集積回路及びその使用方法を提案すること。

【構成】一導電型の半導体基板上に同基板と電氣的に分離して同一導電型のウェル層を形成し、当該ウェル層内にドレイン領域及びソース領域をそれぞれ形成したMOSトランジスタをメモリセルとして使用する。ウェル層は、半導体基板とは異なる動作電圧を付加するため、その相互間をウェル配線によって共通に接続する。制御ゲート、ドレイン領域及びソース領域は、従来と同様、行又は列ごとに個別のワード線、データ線又はソース線によって接続する。データ消去時は、所定の正電圧をウェル配線に付加し、当該電圧よりも低い所定の電圧（例えば負電圧）を選択ワード線に付加する。データ書込時は、所定の負電圧をウェル配線に付加し、当該電圧よりも高い所定の電圧（例えば正電圧）を選択ワード線に付加する。

図 1



【特許請求の範囲】

【請求項 1】半導体基板上に形成された制御ゲート、浮遊ゲート、ゲート絶縁膜、ドレイン領域及びソース領域を備えた MOS 型電界効果トランジスタ（以下「MOS トランジスタ」という）からなる複数のメモリセルをマトリックス状に配置し、制御ゲートの相互間を行ごとに個別のワード線によって接続し、ドレイン領域の相互間を列ごとに個別のデータ線によって接続し、かつ、ソース領域の相互間を行ごとに個別のソース線によって接続することによって構成した並列接続のメモリアレイからなる半導体記憶装置において、メモリセルを構成する個々の MOS トランジスタは、一導電型の半導体基板上に同基板と電気的に分離して形成された同一導電型のウェル層内にドレイン領域及びソース領域をそれぞれ形成してなるものであり、かつ、各メモリセルのウェル層の相互間は、ウェル配線によって共通に接続されていることを特徴とする並列型不揮発性半導体記憶装置。

【請求項 2】ウェル層内に形成されたドレイン領域及びソース領域は、相互に対称な構造を有するものであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】一のデータ線に接続された複数のメモリセルと当該データ線に隣接する他のデータ線に接続された複数のメモリセルの相互間は、電気的に絶縁されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体記憶装置。

【請求項 4】個々のソース線は、MOS トランジスタからなるスイッチ素子を介して共通ソース線に接続されていること特徴とする請求項 1 ～請求項 3 のいずれかに記載の半導体記憶装置。

【請求項 5】メモリセルに書込むべき情報を予め記憶するラッチ回路がデータ線ごとに設けられていること特徴とする請求項 1 ～請求項 4 のいずれかに記載の半導体記憶装置。

【請求項 6】データ消去の場合は、所定の正電圧をウェル配線に付加し、当該電圧よりも低い所定の電圧を選択ワード線に付加するとともに、データ書込の場合は、所定の負電圧をウェル配線に付加し、当該電圧よりも高い所定の電圧を選択ワード線に付加し、かつ、ウェル配線に付加した電圧と同程度の電圧を選択データ線に付加するか同線を開放状態とすることを特徴とする請求項 1 ～請求項 5 のいずれかに記載の半導体記憶装置の使用法。

【請求項 7】データ消去の期間中は、選択ワード線に付加した電圧とウェル配線に付加した電圧の中間電圧を非選択ワード線に付加し、データ書込の期間中は、ウェル配線に付加した電圧と選択ワード線に付加した電圧の中間電圧を非選択ワード線に付加し、所定の正電圧を非選択データ線に付加することを特徴とする請求項 6 に記載の半導体記憶装置の使用法。

【請求項 8】データ書込の期間中において非選択ワード

線に付加する前記中間電圧は、基板電圧（零電圧）を越えない電圧であることを特徴とする請求項 7 に記載の半導体記憶装置の使用法。

【請求項 9】個々のデータ線は、データ消去の期間中、ウェル配線に付加した電圧と同程度の正電圧に保持するか開放状態に保持することを特徴とする請求項 5 ～請求項 8 のいずれかに記載の半導体記憶装置の使用法。

【請求項 10】個々のソース線は、データ消去又はデータ書込の期間中、互いに分離して開放状態に保持することを特徴とする請求項 5 ～請求項 9 のいずれかに記載の半導体記憶装置の使用法。

【請求項 11】データ消去、データ書込、データ読出のいずれの場合も、ウェル配線に付加した電圧と共通ソース線に付加した電圧を等しくすることを特徴とする請求項 5 ～請求項 10 のいずれかに記載の半導体記憶装置の使用法。

【請求項 12】データ書込の期間中、ラッチ回路を含むウェル層に付加した電圧と書込動作が行なわれるメモリセルのウェル層に付加した電圧を等しくすることを特徴とする請求項 5 ～請求項 11 のいずれかに記載の半導体記憶装置の使用法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的書換可能な並列型不揮発性半導体記憶装置及び当該装置の使用法、特に大規模集積回路をもって構成する場合に適用して好適な並列型不揮発性半導体記憶装置及び当該装置の使用法に関するものである。

【0002】

【従来技術】一般に、電気的書換可能な並列型不揮発性半導体記憶装置は、例えば p 型シリコン基板の表面領域内に形成された n 型ドレイン領域及び n 型ソース領域と、これらの領域を含む基板表面に形成されたゲート絶縁膜と、当該絶縁膜上に形成された浮遊ゲートと、層間絶縁膜を介して前記浮遊ゲート上に形成された制御ゲートをそれぞれ備えた複数の MOS 型電界効果トランジスタ（以下「MOS トランジスタ」という）からなるメモリセルをマトリックス状に配列することによって構成する。メモリアレイを構成する複数のメモリセルは、制御ゲートの相互間を行ごとに個別のワード線によって接続し、ドレイン領域の相互間を列ごとに個別のデータ線によって接続し、ソース領域の相互間を列ごとに個別のソース線によって接続して使用する（例えば特開平 6 - 7 7 4 3 7 号公報参照）。

【0003】データの書込及び消去は、ゲート絶縁膜における電子のトンネル現象（Fowler-Nordheim 現象：以下「F-N 現象」と表記する）を利用することによって行なう。即ち、制御ゲートに負電圧を付加し、ドレイン領域に正電圧を付加し、ソース領域を基板電圧（零電圧）に保持した場合は、ドレイン領域と浮遊ゲートのオ

オーバーラップ部分におけるゲート絶縁膜にF-N現象が発生し、浮遊ゲートからドレイン領域に対して電子が放出されてデータの書込が行なわれ、一方、制御ゲートに正電圧を付加し、ドレイン領域及びソース領域を基板電圧に保持した場合は、ゲート絶縁膜の全面においてF-N現象が発生し、チャンネル領域の全体から浮遊ゲートに対して電子が注入されてデータの消去が行なわれる。

【0004】前記従来技術の場合、効率的なデータ書込を行なうには、少なくとも6V以上の耐圧をドレイン領域に持たせることが望ましく、そのためには、浮遊ゲートとドレイン領域の間に少なくとも0.15μm程度の長さのオーバーラップ部分を形成することが必要である。従来の加工技術によって形成することができる浮遊ゲートの実効長は、最小の場合で0.4μm程度であるから、当該オーバーラップ部分の長さを0.15μm程度とした場合は、浮遊ゲートとソース領域のオーバーラップ部分の長さを0.1μm程度に抑えることにより、0.25μm程度のチャンネル長さを確保することが可能である。このため、従来は、ドレイン領域をソース領域よりも大きく非対称に形成することによってドレイン領域の耐圧を確保する方法が採られていた。

【0005】しかし、加工技術が格段に進歩し、実効長が0.25μm程度の浮遊ゲートの微細加工が可能となった現在では、浮遊ゲートとソース領域のオーバーラップ部分の長さを0.05μm程度、チャンネル長を0.1μm程度に抑えることができたとしても、浮遊ゲートとドレイン領域のオーバーラップ部分の長さを0.15μm以上とすることが不可能であるから、従来のような非対称構造を採用した場合は、256メガビット以上の高集積記憶装置を実現することが困難である。

【0006】このほか、前記従来技術は、データを書き込む場合に、ドレイン領域（データ線）に正電圧を付加し、制御ゲート（ワード線）に負電圧を付加するものであるから、空乏層を介して流れるリーク電流（band-to-bandトンネリング電流）がドレイン領域のゲート絶縁膜直下に発生することを防止できない。このリーク電流のもととなる正孔は、その一部がゲート絶縁膜中に捕獲されて同絶縁膜の劣化を加速し、書換可能回数を著しく減少させる原因となる。

【0007】

【発明が解決しようとする課題】本発明の目的は、前記

$$V_f = C_r (V_n - V_p) + V_p \quad \dots (1)$$

【0011】

$$- (V_f - V_p) / T_{ox} \quad \dots (2)$$

データ消去は、選択ワード線に接続された全メモリセルについて一括かつ同時に実行することができる。このため、1本のワード線を例えば512バイトのセクタと定義することにより、512バイト単位での効率的なデータ消去が可能となる。但し、ウェル配線を介して全メモリセルの制御ゲートに正電圧が付加されるため、非選択

した従来技術の問題点を解決し、極めて高密度の電氣的書換可能な不揮発性記憶装置を容易に実現することができる新規な構成の半導体集積回路及びその使用方法を提案することにある。

【0008】

【課題を解決するための手段】本発明の前記課題は、一導電型の半導体基板上に同基板と電氣的に分離して同一導電型のウェル層を形成し、当該ウェル層内にドレイン領域及びソース領域をそれぞれ形成したMOSトランジスタをメモリセルとして使用することによって解決することが可能である。メモリアレイを構成する複数のメモリセルのウェル層は、半導体基板とは異なる動作電圧を付加するため、その相互間をウェル配線によって共通に接続する。制御ゲートの相互間、ドレイン領域の相互間及びソース領域の相互間は、前記した従来技術の場合と同様、行又は列ごとに個別のワード線、データ線又はソース線によって接続する。

【0009】

【作用】本発明に係る記憶装置は、その構造上、前記従来技術の場合と異なり、浮遊ゲートに対する電子の注入をデータ書込と定義して使用し、浮遊ゲートからの電子の放出をデータ消去と定義して使用する。データの消去は、所定の正電圧をウェル配線に付加し、当該電圧よりも低い所定の電圧（例えば負電圧）を選択ワード線（消去を希望するメモリセルの制御ゲートに至るワード線）に付加することによって行なう。この場合は、選択されたメモリセルの浮遊ゲートに加わる電圧 V_f が式(1)によって定まる値となり、式(2)に示す高い電界がゲート絶縁膜の全面に加わる結果、同絶縁膜の全体にF-N現象が発生して浮遊ゲートから電子が放出され、メモリセルの閾値電圧を0.5V~1.5Vの低い範囲に設定することが可能となる。なお、式(1)及び式(2)において、 V_p は、ウェル層に付加された電圧（添字のpはプラス値であることを意味する）、 V_n は、制御ゲートの電圧（添字のnはマイナス値であることを意味する）、 C_r は、カップリング比（浮遊ゲートから見た全容量に対する当該ゲートの容量比）、 T_{ox} は、ゲート絶縁膜の厚さをそれぞれ示す。

【0010】

【数1】

【数2】

ワード線を開放状態のままに放置しておくと、当該ワード線に接続されたメモリセルでは、浮遊ゲートからウェル層に向かう弱い電界がゲート絶縁膜に加わる結果、電子が浮遊ゲートから徐々に抜けるという消去ディスタープ現象が発生する。この現象は、選択ワード線の電圧とウェル配線の電圧との中間電圧を非選択ワード線に付加

し、ゲート絶縁膜に加わる電界強度を緩和することによって防止することが可能である。

【0012】一方、データの書込は、所定の負電圧をウェル配線に付加し、当該電圧よりも高い所定の電圧（例えば正電圧）を選択ワード線（書込を希望するメモリセルの制御ゲートに至るワード線）に付加することによって実行する。この場合は、選択されたメモリセルの浮遊ゲートに加わる電圧 V_f が式(3)によって定まる値となり、式(4)に示す逆方向の高い電界がゲート絶縁膜の全

$$V_f = C_r (V_p - V_n) + V_n \quad \dots (3)$$

【0014】

$$- (V_f - V_n) / T_{ox} \quad \dots (4)$$

データ消去の場合と同様、データ書込も、選択ワード線に接続された複数のメモリセルの全部について一括かつ同時に行なうことができる。但し、各メモリセルに対する“1”の書込（書込選択）及び“0”の書込（書込非選択）は、各データ線に付加する電圧の値に依存する。即ち、書込を希望するメモリセルに至るデータ線にウェル配線の電圧と同程度の負電圧を付加するか、当該データ線を開放状態にすると、ドレイン領域電圧がウェル層電圧と同程度となる結果、ゲート絶縁膜に加わる電界が強まってF-N現象の発生が促進され、浮遊ゲートに電子が注入されて“1”が書き込まれる。一方、書込を希望しないメモリセルに至るデータ線に所定の正電圧（例えばウェル配線に付加した負電圧と同じ絶対値の正電圧）を付加すると、ドレイン領域が正電圧に保持される結果、ゲート絶縁膜に加わる電界が緩和してF-N現象の発生が抑制され、浮遊ゲートに対する電子の注入が止まって“0”が書き込まれる。以上の動作により、選択ワード線上の複数のメモリセルに対するデータ書込が可能になる。従って、1本のワード線を例えば512バイトのセクタと定義することにより、512バイト単位での書込が可能となる。

【0015】もっとも、データ書込の場合は、個々のデータ線に選択的に負電圧又は正電圧を付加するため、一のデータ線に接続された複数のメモリセルと当該データ線と隣接する他のデータ線に接続されたメモリセルとの間に存在する寄生MOSトランジスタがオン状態になって不測の誤動作を起こす可能性がある。この種の障害は、ウェル層を貫通するセル分離領域を隣接するメモリセルの相互間に形成するか、SOI技術を用いて隣接するメモリセルの相互間を電氣的に分離することによって容易に防止することができる。

【0016】また、データ書込期間中は、全メモリセルのウェル層に負電圧が付加されるため、非選択ワード線を開放状態のままに放置しておく、当該ワード線に接続されたメモリセルでは、ウェル層から浮遊ゲートに向かう弱い電界がゲート絶縁膜全面に加わる結果、電子が浮遊ゲートに徐々に注入されるという書込ディスタ urb 現象が発生する。この現象は、ウェル配線の電圧と選択

面に加わる結果、ゲート絶縁膜の全体にF-N現象が発生して浮遊ゲートに電子が注入され、メモリセルの閾値電圧を3.0V～4.0Vの高い範囲に設定することが可能となる。但し、式(3)及び式(4)における V_n 及び V_p は、式(1)及び式(3)の場合と異なり、前者がウェル配線に付加する負電圧、後者が選択ワード線に付加する正電圧をそれぞれ示す。

【0013】

【数3】

【数4】

ワード線の電圧の中間電圧を非選択ワード線に付加し、ゲート絶縁膜に加わる電界強度を緩和することによって防止することが可能である。

【0017】なお、個々のデータ線は、メモリセルの誤動作を防止するため、データ消去の期間中、ウェル配線に付加した電圧と同程度の正電圧に保持するか開放状態に保持することが望ましい。また、個々のソース線は、オン状態にあるメモリセルのウェル層電圧が選択ワード線上の他のメモリセルに不所望に短絡することのないよう、データ消去又はデータ書込の期間中、互いに分離して開放状態に保持することが望ましい。

【0018】このように、データ消去及びデータ書込のいずれの場合も、ゲート絶縁膜の全体にF-N現象を発生させ、チャネル領域の全体を利用することが可能になるので、ドレイン領域及びソース領域を相互に対称な構造にすることができる。

【0019】

【実施例】

<実施例1>本発明の第1の実施例を図1～図4及び図6～図9を参照して説明する。本実施例は、4個のメモリセルをそれぞれ2本のワード線及びデータ線を用いてアレイ構成としたものであるが、メモリセルの個数又はワード線及びデータ線の本数は、本実施例に限定されるものではない。なお、図1は、いずれか1本の選択ワード線上にあるメモリセルのデータを消去する場合の電圧条件を示した図、図2は、いずれか1本の選択ワード線上にあるメモリセルにデータを書き込む場合の電圧条件を示した図、図3は、いずれか1本の選択ワード線上にあるメモリセルのデータを読み出す場合の電圧条件を示した図である。

【0020】本実施例では、図1～図3に示したように、メモリセルM1-1及びM1-2の制御ゲートの相互間がワード線W1によって接続され、メモリセルM1-1及びM2-1のドレイン領域の相互間がデータ線D1によって接続され、メモリセルM1-2及びM2-2のドレイン領域の相互間がデータ線D2によって接続され、メモリセルM1-1及びM2-1のソース領域の相互間がソース線S1によって接続され、メモリセルM1

ー2及びM2-2のソース領域の相互間がソース線S2によって接続され、かつ、ソース線S1、S2がMOSトランジスタをもって構成したスイッチ素子SW1、SW2を介して共通ソース線CSに接続されている。スイッチ素子SW1及びSW2は、そのゲート相互間が配線STに共通接続され、両者同時に開閉するものである。なお、本実施例の場合は、すべてのメモリセルのウェル層がウェル配線WELによって共通接続されているが、アレイ構成の規模が大きい場合は、多数のメモリセルを例えば1メガビットや4メガビットの単位で複数の群に分離し、各群ごとに個別のウェル配線によって共通接続することも可能である。

【0021】データ消去の場合における電圧条件を図1に示す。個々の電圧は、メモリセルが有する書込・消去の閾値電圧、ゲート絶縁膜の厚さ及び消去時間の諸条件を満たすように設定されている。図6は、ゲート絶縁膜の厚さが8.0nmの場合における動作電圧（選択ワード線電圧 V_n とウェル配線電圧 V_p の差電圧）と消去時間との関係を示しており、同図の各曲線は、メモリセルの加工バラツキを考慮したときの標準のメモリセルの特性と最速及び最遅のメモリセルの特性である。最遅のメモリセルに対して、最大の消去時間10msを満足するためには、標準の動作電圧（ $V_n - V_p$ ）を-1.5Vとしなければならない。また、1本のデータ線に接続されたメモリセルの個数を例えば8192個（従ってワード線の本数も8192本）とし、ワード線ごとに最大の消去時間10msで100万回の消去及び書込を可能とするためには、1本のワード線は、約8,000万秒（8E7s）の消去ディスタurb時間に耐えることが要求される。図7に示す100万回の書換後における消去ディスタurb特性から、この条件を満足するためには、非選択ワード線の電圧 V_{uwp} とウェル配線の正電圧 V_p の差が-3V以上であることが必要である。

【0022】図8は、選択ワード線の負電圧 V_n に対するウェル配線電圧 V_p と非選択ワード線電圧 V_{uwp} を示している。但し、ウェル配線電圧 V_p 及び非選択ワード線電圧 V_{uwp} の少なくとも一方は、半導体チップ用の電源（ここでは $V_{cc} = 3V$ ）を用いることが望ましく、ケース1とケース2の二つが考えられる。

【0023】図1はケース1の場合を示す。この場合は、ワード線W1が選択され、メモリセルM1-1及びM1-2が同時に消去される。選択ワード線W1には-9Vが付加され、非選択ワード線W2には3V、ウェル配線WELには6Vがそれぞれ付加されている。スイッチ素子SW1及びSW2は、共通配線STによって駆動され、データ消去の期間中、オフ状態に保持される。データ線D1及びD2は6Vに設定されている。このような電圧条件を設定すると、メモリセルM1-1及びM1-2では、ゲート絶縁膜の全面に強い電界が加わり、電子が浮遊ゲートからチャネル領域に放出され、メモリセ

ルの閾値電圧を0.5V~1.5Vの範囲に設定することができる。この正の小さな閾値状態をデータ消去状態として定義する。

【0024】図2は、データ消去の場合と同様の電圧設定手法によって求めたデータ書込時の電圧条件を示している。データ書込もワード線単位で行なわれ、選択ワード線W1に12Vが付加され、非選択ワード線W2には0V、ウェル配線WELには-3Vが付加されている。スイッチ素子SW1及びSW2は、消去期間中、オフ状態に保持され、ソース線は開放状態となっている。データ“1”の書込を行なうメモリセルM1-1に対するデータ線D1には-3Vが、データ“0”の書込を行うメモリセルM1-2に対するデータ線D2には3Vが付加されている。このような電圧条件を設定すると、メモリセルM1-1では、チャネル領域の電圧が約-3Vとなるため、浮遊ゲートの電圧がワード線12Vとチャネル領域の-3Vにより容量分割された電圧（例えば6V）となる。一方、メモリセルM1-2では、チャネル領域が約3Vとなるため、浮遊ゲートの電圧が約2.4Vとなる。この結果、メモリセルM1-1では、メモリセルM1-2に比べてゲート絶縁膜に加わる電界が強くなり、ゲート絶縁膜の全面を介して電子がチャネル領域から浮遊ゲートに注入され、メモリ閾値電圧を3.0V~4.0Vに設定することができる。この大きな正の閾値状態をデータ書込状態として定義する。

【0025】なお、本実施例では、非選択ワード線W2に0Vを付加し、非選択ワード線上のメモリセルのゲート絶縁膜に高電界が加わって電子がリークすることを防止している。非選択ワード線W2に与える電圧は、0Vに限られるものではなく、負電圧を加えることによって電界強度を更に低減してもよい。

【0026】書込動作においては、選択データ線D1に負電圧（-3V）を付加する必要がある。データ線D1に負電圧を出力するためのメモリアレイのブロック構成例を図4に示す。この例では、書込時のデータ蓄積やデータ読出のためのラッチ回路55（差動対）がデータ線ごとに設けられたセンス回路領域54がメモリアレイ52、53に対応して形成されており、メモリアレイ52、53及びセンス回路領域54にウェル層電圧を供給するためのウェル電圧制御回路51が接続されている。即ち、ウェル電圧制御回路51とメモリアレイ52との間にウェル配線WEL1、メモリアレイ53との間にウェル配線WEL2、センス回路領域54との間にウェル配線WELs及び正電圧電源の配線Vpsaがそれぞれ接続されている。書込時においては、ウェル配線WEL1、WEL2、WELsの各電圧を同一の-3Vとしている。電源配線Vpsaの電圧は3Vである。このような電圧条件を設定することによって、ラッチ回路55は、-3V又は3Vを選択して記憶することができる。データが端子I/Oから送られ、ラッチ回路55の記憶状態

が設定される。このようにして、データ線の電圧を -3 V 又は 3 V とすることができる。なお、後述の読出し動作では、センス回路領域54のウェル電圧を 0 V に切り換え、従来の読出し動作を可能としている。

【0027】データ読出時の電圧条件を図3に示す。読出もワード線単位で行い、選択ワード線W1には 3 V を付加する。非選択ワード線W2には 0 V 、ウェル配線WELには 0 V を付加する。スイッチ素子SW1とSW2はオン状態に保持し、データ線D1、D2には 1.5 V を付加する。メモリセルの閾値電圧が低い状態の場合は、データ線電圧が低下し、メモリセルの閾値電圧が高い場合は、データ線電圧が 1.5 V に保たれるため、データ線電圧をデータ線ごとに検出することによってメモリセルの情報を読み出すことができる。

【0028】図9は、本実施例において使用する半導体記憶装置を例えば3ビット分のメモリセル断面構造として示すものである。本例の場合は、p型シリコンからなる半導体基板10を使用し、その上層部にn型ウェル層11及びp型ウェル層12を順次形成し、p型ウェル層12の内部にドレイン領域7及びソース領域8を形成した。そして、ウェル層12の表面にトンネル領域となるゲート絶縁膜1を形成し、その上に、高濃度の不純物を含む多結晶シリコン又はタングステン等の金属からなる浮遊ゲート2を形成した。浮遊ゲート2の表面は、CVD法により形成されたシリコン酸化膜からなる層間絶縁膜3をもって覆い、その上に高濃度不純物を含む多結晶シリコン又はタングステン等の金属からなるワード線4を形成した。このワード線は、制御ゲートとしても兼用するものである。各メモリセルの相互間は、セル分離領域5によって電氣的に絶縁した。セル分離領域5は、例えば異方性エッチングによってシリコン基板10に形成した溝内にシリコン酸化膜を埋め込むことによって構成することができる。ドレイン領域7及びソース領域8は、浮遊ゲート2に対して対称に形成した。これにより、浮遊ゲートの実効長を $0.25\sim 0.2\mu\text{m}$ とすることができた。この実効長により256メガビット以上の高集積記憶装置を実現することができる。

【0029】本実施例では、p型ウェル領域12の電圧は、図1～図3に示したウェル配線WELに付加される電圧であるから、データ消去時において 6 V 、データ書込時において -3 V 、データ読出時において 0 V である。一方、半導体基板10は、常時接地されていて電圧は 0 V である。そこで、n型ウェル領域11に対して、データ消去時に 6 V 、データ書込時に 3 V 又は 0 V 、データ読出時に 3 V 又は 0 V をそれぞれ付加し、n型ウェル領域11とp型ウェル領域12との間で逆バイアス若しくは0バイアスが掛かるようにして、p型ウェル領域12が半導体基板10に対して常に電氣的に絶縁されるようにした。

【0030】以上に説明した本実施例は、メモリセルが

並列に接続されているため、データ読出を高速に行うことができる。また、メモリセルのチャンネル全面を用いたF-Nトンネル現象による電子の注入、放出によりデータ書込及びデータ消去が行われているため、トンネル電流以外の過剰な電流成分の必要がなく、トンネル電流は微弱であるので低消費電力化が図れる。更に単一電源によるメモリチップの動作が可能となる。この場合、メモリチップ内部において、高い正電圧(12 V)を発生させる昇圧回路と負電圧(-9 V)を発生させる降圧回路が必要なことは言うまでもない。ここで、データ消去及びデータ書込のいずれの場合も、選択及び非選択ワード線の電圧差が 12 V 以下であり、内部電源の電圧変動を考慮しても 15 V のドレイン耐圧を備えたMOSトランジスタを用いることにより、ワード線に選択して電圧を付加するデコード回路を設計することができる。さらに、ウェル層に付加される電圧の絶対値が 3 V 程度であり、 7 nm 以上のゲート絶縁膜の厚さに対して、データ読出、データ消去及びデータ書込の場合のディスタープ耐性を十分に確保することができる。また、ドレイン領域及びソース領域を非対称に形成する必要がなく、メモリセルの微細化が図れるとともに、工程の簡略化が可能となる。なお、本実施例ではワード線単位でのデータ書込及びデータ消去を実現する方法について示したが、ワード線を数本まとめてブロック化し、この単位で消去を行うことも可能である。このブロック消去方法は、図7、8に示す条件が緩やかになる方向であり、特に支障を来すものではない。

【0031】＜実施例2＞本発明の第2の実施例を図5を用いて説明する。本実施例は、図8に示したデータ消去条件のうちのケース2を採用したもので、データ消去の電圧条件を図5に示した条件としたものである。図5において、選択ワード線をW1とし、メモリセルM1-1とM1-2が同時に消去される。選択ワード線W1に -12 V が付加され、非選択ワード線W2には 0 V が、ウェルWELには 3 V が付加されている。MOSトランジスタにより構成されたスイッチ素子SW1とSW2は、共通配線STにより駆動され、SW1及びSW2はオン状態に設定され、各メモリセルのドレイン及びソースは 3 V に設定されている。このような電圧条件を設定すると、M1-1及びM1-2では、浮遊ゲートとチャンネル領域間のゲート絶縁膜全面に強電界が加わり、電子が浮遊ゲートからチャンネル領域に放出され、メモリセルの閾値電圧を $0.5\text{ V}\sim 1.5\text{ V}$ の範囲に設定することができる。図2と同様に、この正の小さな閾値状態をデータ消去状態として定義する。

【0032】本実施例では、データ消去時の電圧として -12 V と 3 V を用いており、 3 V は電源電圧であるので、チップ内部において発生すればよい電圧が -12 V のみでよいことがわかる。本実施例も、F-Nトンネル現象を用いたデータ書込およびデータ消去であるので、

半導体チップの外部電源の単一化が可能であり、ワード線単位でのデータ書込及びデータ消去が可能であることは言うまでもない。また、チャネル領域全面を用いたデータ書込及びデータ消去であるため、ドレイン領域及びソース領域を相互に対称構造で形成することができ、メモリセルの微細化が可能になる。

【0033】＜実施例3＞本発明の第3の実施例を図10及び表1を用いて説明する。本実施例は、図1に示した第1の実施例に対して、各々のデータ線にソース線と

同様にMOSトランジスタによるスイッチを加えたものである。即ち、図10に示すように、各々のローカルデータ線D1'、D2'が、MOSトランジスタにより構成されるスイッチ素子SW1'、SW2'を介して各々のメインデータ線D1、D2に接続されている。表1に各信号線の電圧条件を示す。

【0034】

【表1】

表 1

符 号	配 線	消 去	書 込 み	読 出 し
W1	選択ワード線	-9V	12V	3V
W2	非選択ワード線	3V	0V	0V
WEL	ウェル配線	6V	-3V	0V
D1/D2	データ線	6V	-3V/3V	1V
CS	共通ソース線	6V	0V	0V
ST	共通配線(ソース側)	6V	-3V	3V
ST'	共通配線(データ側)	6V	6V	3V

【0035】動作は、本発明の第1の実施例と同様であり、特に、データ線側のスイッチを制御する信号線電圧が、共通配線ST'に新たに付加されている。データ線側のスイッチ素子SW1'、SW2'は、メモリセルと同一のウェル層の内部に形成されるので、データ書込時において、3Vのメインデータ線電圧をローカルデータ線に伝達するために、共通配線ST'に6Vを加えている。この電圧は、スイッチ素子SW1'、SW2'を構成するMOSトランジスタの基板バイアス効果を考慮したものである。

【0036】ソース線側のスイッチ素子(SW1、SW2)とデータ線側のスイッチ素子(SW1'、SW2')により区切られた領域をブロックと呼ぶこととする。図10では、ブロック内には、ワード線がW1とW2の2本しか便宜上存在していないが、実際には16本、32本、64本のような2のn乗本のワード線を1つのブロックとして扱うことが、ワード線側のデコード回路を設計する上で望ましい。

【0037】本実施例では、データ線に接続されたメモリセルの個数がブロックにより分割されているため、データ線容量が低減され、内部電源を用いたデータ線の充放電電流が低減される。

【0038】＜実施例4＞本発明の第4の実施例を図11～図13及び表2を用いて説明する。本実施例は、例えば張り合わせ法により形成されたSOI基板上に半導

体記憶装置を形成し、本発明の動作を行わせた例を示している。図11に示すように、SOI基板即ちシリコンからなる半導体基板10の上にシリコン酸化膜領域21とシリコン層22を形成し、シリコン層22をウェル層(p型拡散層領域)としている。そして、ウェル層の内部にメモリセルの活性領域を形成している。酸化工程により形成されたセル分離領域5は、領域21に到達するように形成され、各メモリセルの活性領域が電氣的に分離されている。なお、図11は、後述する図13のレイアウト図のA-A'断面構造を示したものである。

【0039】図12は、図11の構造のメモリセルを採用した回路の構成例を示している。本回路構成は第3の実施例を基としているが、第1の実施例を適用し、データ線側のMOSトランジスタを省略することができる。本発明では、ウェル層に与えられた電圧と浮遊ゲートの電圧差によりゲート絶縁膜にトンネル現象が生じるほどの強電界を発生させることが必要になるため、ウェル層にデータ消去及びデータ書込のための電圧をそれぞれ付加しなければならない。本実施例では、データ線毎に分離されたウェル層を共通ソース線CSに接続し、共通ソース線CSからウェル層に電圧を供給している。表2に動作の電圧条件を示す。

【0040】

【表2】

表 2

符 号	配 線	消 去	書 込 み	読 出 し
W1	選択ワード線	-9V	12V	3V
W2	非選択ワード線	3V	0V	0V
D1/D2	データ線	6V	-3V/3V	1V
CS	共通ソース線	6V	-3V	0V
ST	共通配線(ソース側)	6V	-3V	3V
ST'	共通配線(データ側)	6V	6V	3V

【0041】特に、データ書込時において、共通ソース線CSの電圧を-3Vとし、従ってウェル層の電圧を-3Vとしている。データ線毎に形成されたソース線は開放状態にする必要があるため、共通配線STに-3Vを付加して、ソース側のMOSトランジスタをオフ状態としている。

【0042】図13に、図12に示した回路のレイアウトの例を示す。ブロック37の中にドレイン側のMOSトランジスタのゲート配線33（共通配線）、ソース側のMOSトランジスタのゲート配線32（共通配線）、ワード線34が形成されている。本実施例では、2本のワード線の例を示すがこれに限られるものではない。メモリセル領域は、セル分離領域31により電氣的に分離され、浮遊ゲート35がワード線34直下の活性領域中に形成されている。ローカルデータ線に並列接続されるメモリセルは、p型拡散層領域36（ウェル層）ごとに形成されている。セル分離領域31、p型拡散層領域36及びメモリセルとMOSトランジスタのチャンネル領域を除いて、半導体基板表面がn型拡散層で覆われている。データ線は、第2層配線41から、スルーホール39、第1層配線42、コンタクト38を介してシリコン基板を覆ったn型拡散層に接続され、MOSトランジスタ（ゲート配線33直下）を介してドレイン側n型拡散層（ローカルデータ線及びドレイン）に接続されている。共通ソース線は、第1層配線44からコンタクト45を介して半導体基板表面を覆ったn型拡散層に接続され、MOSトランジスタ（ゲート配線32直下）を介してソース側n型拡散層（ソース線及びソース）に接続されている。さらに、共通ソース線は、第1層配線44からコンタクト43を介してp型拡散層40が形成された領域に電氣的に接続される。このようにして、各列毎に、ウェル層に電圧を供給するためのコンタクト領域が設けられ、メモリセルの消去を容易にしている。

【0043】本実施例では、SOI基板の特徴を生かし、ローカルデータ線に並列接続のメモリセル毎に活性領域を電氣的に分離し、不揮発性半導体記憶装置において必要とされる高閾値電圧や高耐圧というセル分離領域に対する要求を満足することができる。

【0044】

【発明の効果】本発明によれば、1本のワード線に接続

された複数個のメモリセルに対してデータの書込及び消去がそれぞれ同時に行なえる。即ち、データ書込の単位とデータ消去の単位が等しいことから、データの書換えを行うときに、当該ワード線に対してのみデータ消去を行なえばよく、従来のブロック消去に見られるように他のワード線上のメモリセルデータに対してデータ消去を行なう必要がない。

【0045】また、データ書込及びデータ消去にチャネル領域全面のF-N現象による電子の注入及び放出を利用しているため、ドレイン領域及びソース領域に対して相互に非対称な構造を用いる必要がない。従って、例えば0.25 μ mないしはそれ以下の加工技術を用いるとき、ドレイン領域及びソース領域の伸びをそれぞれ0.05 μ m程度と対称にすることができ、チャネルの長さを0.1 μ m程度確保することができる。その結果、0.2 μ mのゲート長を備えたメモリセルを製作することが可能となる。

【0046】更に、データ書込及びデータ消去のいずれの場合も、チャネルの電圧が均一となるため、ドレイン領域におけるリーク電流（Band-to-bandトンネリング電流）の発生が防止され、リーク電流に伴った絶縁膜の劣化を回避することができる。

【0047】このように従来の半導体記憶装置における問題点が解消され、256メガビット以上の高集積半導体記憶装置が実現可能になる。

【図面の簡単な説明】

【図1】本発明に係る並列型不揮発性半導体記憶装置の第1の実施例を説明するためのデータ消去時の電圧条件を示した回路図。

【図2】図1の回路のデータ書込時の電圧条件を示した回路図。

【図3】図1の回路のデータ読出時の電圧条件を示した回路図。

【図4】第1の実施例のブロック構成を示す回路構成図。

【図5】データ消去時の電圧と消去時間の関係を示す曲線図。

【図6】データ消去時の非選択ワード線におけるディスタープ時間と非選択ワード線の電圧の関係を示す曲線図。

【図 7】データ消去時の選択ワード線の負電圧に対するウェル層の電圧と非選択ワード線の電圧の関係を示す直線図。

【図 8】第 1 の実施例の構造を説明するための断面図。

【図 9】本発明の第 2 の実施例で採用した回路とデータ消去時の電圧条件を説明するための図。

【図 10】本発明の第 3 の実施例で採用した回路を説明するための図。

【図 11】本発明の第 4 の実施例を説明するための断面構造図。

【図 12】本発明の第 4 の実施例で採用した回路を説明するための図。

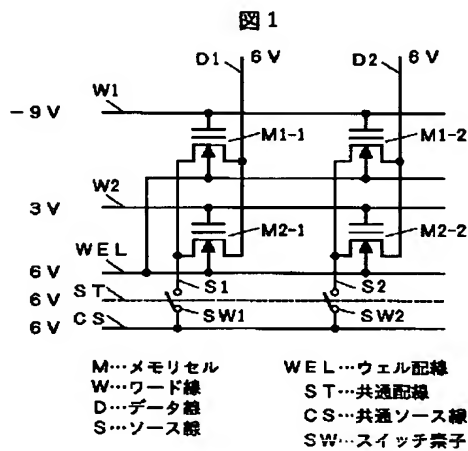
【図 13】本発明の第 4 の実施例で採用したレイアウトの例を説明するための平面図。

【符号の説明】

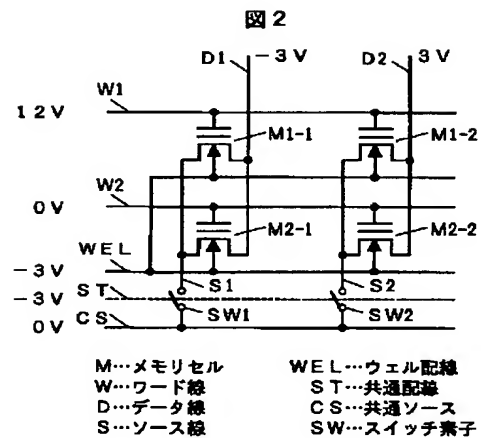
- 1 …ゲート絶縁膜
- 2 …浮遊ゲート
- 3 …層間絶縁膜

- 4 …ワード線
- 5 …セル分離領域
- 7 …ドレイン領域
- 8 …ソース領域
- 10 …半導体基板
- 11 …n 型ウェル層
- 12 …p 型ウェル層
- 21 …シリコン酸化膜
- 22 …シリコン層
- CS …共通ソース線
- D …データ線
- M …メモリセル
- S …ソース線
- ST …共通配線
- SW …スイッチ素子
- W …ワード線
- WEL …ウェル配線

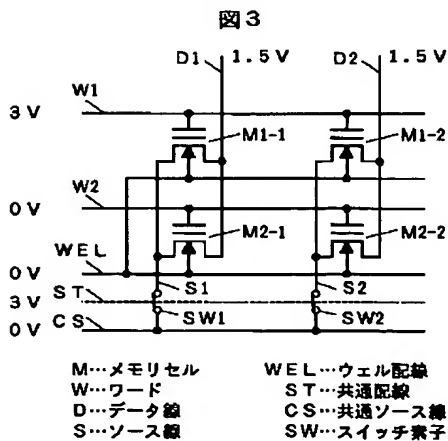
【図 1】



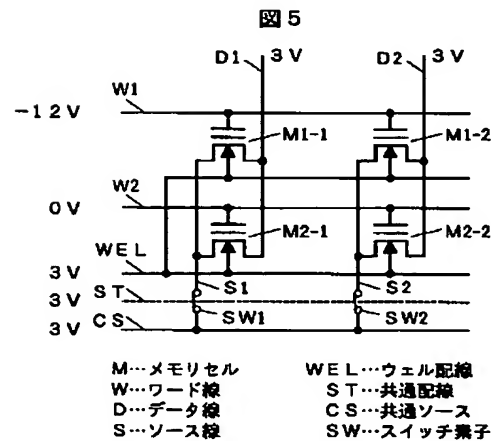
【図 2】



【図 3】

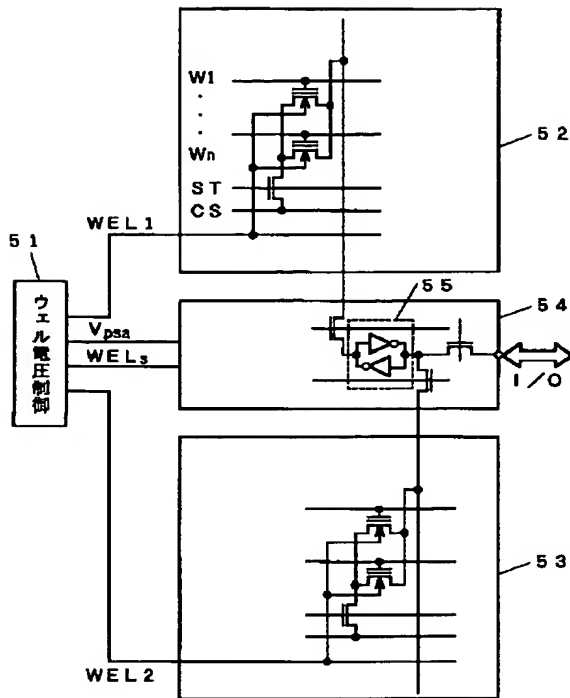


【図 5】



【図 4】

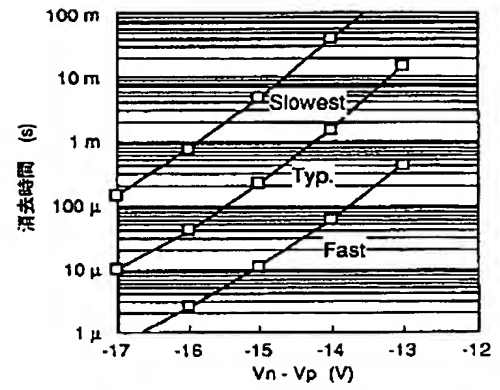
図 4



52, 53...メモリ形成領域
 54...センス回路領域
 55...ラッチ回路

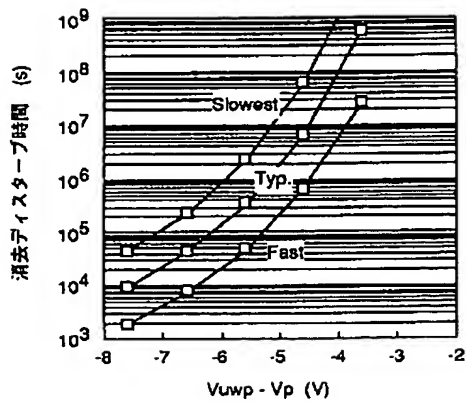
【図 6】

図 6



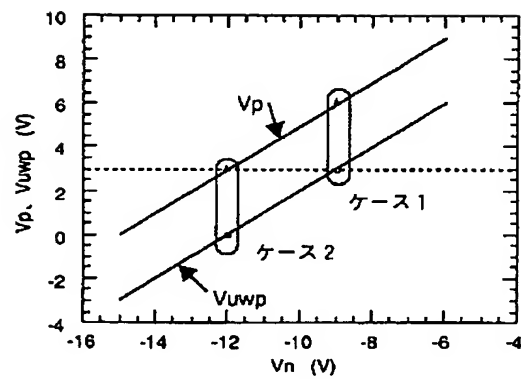
【図 7】

図 7

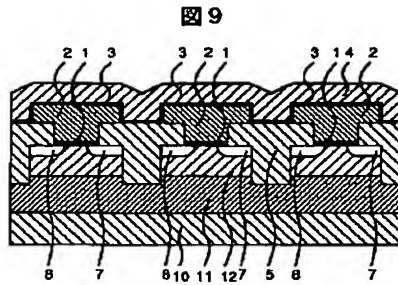


【図 8】

図 8

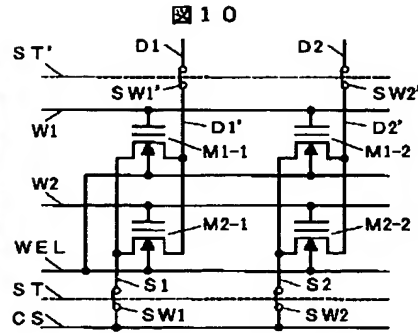


【図9】



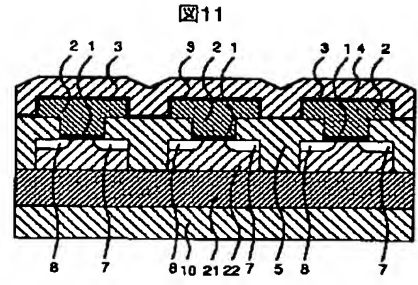
- | | |
|------------|-------------|
| 1...ゲート絶縁膜 | 7...ドレイン領域 |
| 2...浮遊ゲート | 8...ソース領域 |
| 3...層間絶縁膜 | 10...半導体基板 |
| 4...ワード線 | 11...n型ウェル層 |
| 5...セル分離領域 | 12...p型ウェル層 |

【図10】



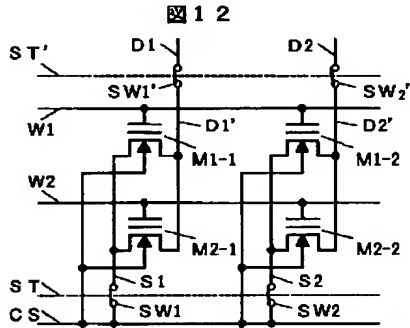
- | | |
|-----------|-------------|
| M...メモリセル | WEL...ウェル配線 |
| W...ワード線 | ST...共通配線 |
| D...データ線 | CS...共通ソース線 |
| S...ソース線 | SW...スイッチ素子 |

【図11】



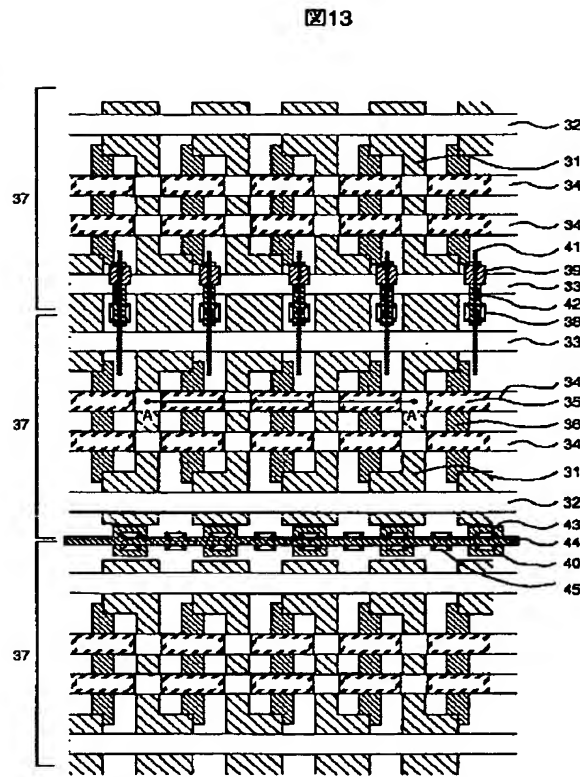
- | | |
|------------|----------------|
| 1...ゲート絶縁膜 | 7...ドレイン領域 |
| 2...浮遊ゲート | 8...ソース領域 |
| 3...層間絶縁膜 | 10...半導体基板 |
| 4...ワード線 | 21...シリコン酸化膜領域 |
| 5...セル分離領域 | 22...シリコン層 |

【図12】



- | | |
|-----------|-------------|
| M...メモリセル | WEL...ウェル配線 |
| W...ワード線 | ST...共通配線 |
| D...データ線 | CS...共通ソース線 |
| S...ソース線 | SW...スイッチ素子 |

【図13】



- | | |
|----------------|------------|
| 31...セル分離領域 | 35...浮遊ゲート |
| 32, 33...ゲート配線 | 36...p型拡散層 |
| 34...ワード線 | 37...ブロック |

【手続補正書】

【提出日】平成 8 年 5 月 2 1 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 4

【補正方法】変更

【補正内容】

【0 0 0 4】前記従来技術の場合、効率的なデータ書込を行なうには、少なくとも 6 V 以上の耐圧をドレイン領域に持たせることが望ましく、そのためには、浮遊ゲートとドレイン領域の間に少なくとも 0. 1 5 μm 程度の長さのオーバーラップ部分を形成することが必要である。従来の加工技術によって形成することができる浮遊ゲートの実効長は、最小の場合で 0. 4 μm 程度であるから、当該オーバーラップ部分の長さを 0. 1 5 μm 程度 - $(V_f - V_p) / T_{ox}$

データ消去は、選択ワード線に接続された全メモリセルについて一括かつ同時に実行することができる。このため、1 本のワード線を例えば 5 1 2 バイトのセクタと定義することにより、5 1 2 バイト単位での効率的なデータ消去が可能となる。但し、ウェル配線を介して全メモリセルのウェル層に正電圧が付加されるため、非選択ワード線を開放状態のままに放置しておくと、当該ワード線に接続されたメモリセルでは、浮遊ゲートからウェル層に向かう弱い電界がゲート絶縁膜に加わる結果、電子が浮遊ゲートから徐々に抜けるという消去ディスタート現象が発生する。この現象は、選択ワード線の電圧とウェル配線の電圧との中間電圧を非選択ワード線に付加し、ゲート絶縁膜に加わる電界強度を緩和することによって防止することが可能である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正内容】

【0 0 1 2】一方、データの書込は、所定の負電圧をウェル配線に付加し、当該電圧よりも高い所定の電圧（例えば正電圧）を選択ワード線（書込を希望するメモリセルの制御ゲートに至るワード線）に付加することによって実行する。この場合は、選択されたメモリセルの浮遊ゲートに加わる電圧 V_f が式 (3) によって定まる値となり、式 (4) に示す逆方向の高い電界がゲート絶縁膜の全面に加わる結果、ゲート絶縁膜の全体に F - N 現象が発生して浮遊ゲートに電子が注入され、メモリセルの閾値電圧を 3. 0 V ~ 4. 0 V の高い範囲に設定することが可能となる。但し、式 (3) 及び式 (4) における V_n 及び V_p は、式 (1) 及び式 (2) の場合と異なり、前者がウェル配線に付加する負電圧、後者が選択ワード線に付加する正電圧をそれぞれ示す。

【手続補正 4】

度とした場合は、浮遊ゲートとソース領域のオーバーラップ部分の長さを 0. 1 μm 程度に抑えることにより、0. 1 5 μm 程度のチャンネル長さを確保することが可能である。このため、従来は、ドレイン領域をソース領域よりも大きく非対称に形成することによってドレイン領域の耐圧を確保する方法が採られていた。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正内容】

【0 0 1 1】

【数 2】

. . . . (2)

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正内容】

【0 0 2 4】図 2 は、データ消去の場合と同様の電圧設定手法によって求めたデータ書込時の電圧条件を示している。データ書込もワード線単位で行なわれ、選択ワード線 W 1 に 1 2 V が付加され、非選択ワード線 W 2 には 0 V、ウェル配線 WEL には - 3 V が付加されている。スイッチ素子 SW 1 及び SW 2 は、書込期間中、オフ状態に保持され、ソース線は開放状態となっている。データ “1” の書込を行なうメモリセル M 1 - 1 に対するデータ線 D 1 には - 3 V が、データ “0” の書込を行うメモリセル M 1 - 2 に対するデータ線 D 2 には 3 V が付加されている。このような電圧条件を設定すると、メモリセル M 1 - 1 では、チャンネル領域の電圧が約 - 3 V となるため、浮遊ゲートの電圧がワード線 1 2 V とチャンネル領域の - 3 V により容量分割された電圧（例えば 6 V）となる。一方、メモリセル M 1 - 2 では、チャンネル領域が約 3 V となるため、浮遊ゲートの電圧が約 2. 4 V となる。この結果、メモリセル M 1 - 1 では、メモリセル M 1 - 2 に比べてゲート絶縁膜に加わる電界が強くなり、ゲート絶縁膜の全面を介して電子がチャンネル領域から浮遊ゲートに注入され、メモリ閾値電圧を 3. 0 V ~ 4. 0 V に設定することができる。この大きな正の閾値状態をデータ書込状態として定義する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正内容】

【0 0 2 9】本実施例では、p 型ウェル層 1 2 の電圧は、図 1 ~ 図 3 に示したウェル配線 WEL に付加される電圧であるから、データ消去時において 6 V、データ書

込時において -3 V 、データ読出時において 0 V である。一方、半導体基板10は、常時接地されていて電圧は 0 V である。そこで、 n 型ウェル層11に対して、データ消去時に 6 V 、データ書込時に 3 V 又は 0 V 、データ読出時に 3 V 又は 0 V をそれぞれ付加し、 n 型ウェル層11と p 型ウェル層12との間で逆バイアス若しくは 0 バイアスが掛かるようにして、 p 型ウェル層12が半導体基板10に対して常に電氣的に絶縁されるようにした。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】＜実施例2＞本発明の第2の実施例を図5を用いて説明する。本実施例は、図8に示したデータ消去条件のうちのケース2を採用したもので、データ消去の電圧条件を図5に示した条件としたものである。図5において、選択ワード線を $W1$ とし、メモリセル $M1-1$ と $M1-2$ が同時に消去される。選択ワード線 $W1$ に -12 V が付加され、非選択ワード線 $W2$ には 0 V が、ウェル WEL には 3 V が付加されている。MOSトランジスタにより構成されたスイッチ素子 $SW1$ と $SW2$ は、オフ状態に設定され、各メモリセルのドレインは 3 V に設定されている。このような電圧条件を設定すると、 $M1-1$ 及び $M1-2$ では、浮遊ゲートとチャネル領域間のゲート絶縁膜全面に強電界が加わり、電子が浮遊ゲートからチャネル領域に放出され、メモリセルの閾値電圧を $0.5\text{ V} \sim 1.5\text{ V}$ の範囲に設定することができる。図1と同様に、この正の小さな閾値状態をデータ消去状態として定義する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明に係る並列型不揮発性半導体記憶装置の第1の実施例を説明するためのデータ消去時の電圧条件を示した回路図。

【図2】図1の回路のデータ書込時の電圧条件を示した回路図。

【図3】図1の回路のデータ読出時の電圧条件を示した回路図。

【図4】第1の実施例のブロック構成を示す回路構成図。

【図5】本発明の第2の実施例で採用した回路とデータ消去時の電圧条件を説明するための図。

【図6】データ消去時の電圧と消去時間の関係を示す曲線図。

【図7】データ消去時の非選択ワード線におけるディスターブ時間と非選択ワード線の電圧の関係を示す曲線図。

【図8】データ消去時の選択ワード線の負電圧に対するウェル層の電圧と非選択ワード線の電圧の関係を示す直線図。

【図9】第1の実施例の構造を説明するための断面図。

【図10】本発明の第3の実施例で採用した回路を説明するための図。

【図11】本発明の第4の実施例を説明するための断面構造図。

【図12】本発明の第4の実施例で採用した回路を説明するための図。

【図13】本発明の第4の実施例で採用したレイアウトの例を説明するための平面図。

【符号の説明】

1…ゲート絶縁膜

2…浮遊ゲート

3…層間絶縁膜

4…ワード線

5…セル分離領域

7…ドレイン領域

8…ソース領域

10…半導体基板

11… n 型ウェル層

12… p 型ウェル層

21…シリコン酸化膜

22…シリコン層

CS…共通ソース線

D…データ線

M…メモリセル

S…ソース線

ST…共通配線

SW…スイッチ素子

W…ワード線

WEL…ウェル配線

【手続補正8】

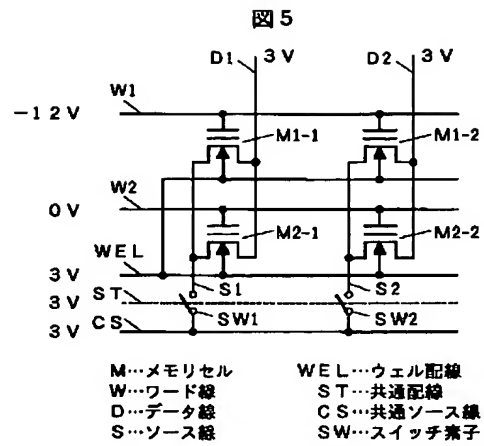
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



フロントページの続き

(51) Int. Cl. ⁶
H 0 1 L 29/792

識別記号 片内整理番号

F I

技術表示箇所

(72) 発明者 小林 孝
 東京都国分寺市東恋ヶ窪 1 丁目 280 番地
 株式会社日立製作所中央研究所内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 14 年 3 月 15 日 (2002. 3. 15)

【公開番号】特開平 8-279566
 【公開日】平成 8 年 10 月 22 日 (1996. 10. 22)
 【年通号数】公開特許公報 8-2796
 【出願番号】特願平 7-81003
 【国際特許分類第 7 版】

H01L 21/8246
 27/112

G11C 16/06

H01L 21/8247
 29/788
 29/792

【F I】

H01L 27/10 433
 G11C 17/00 510 A
 H01L 29/78 371

【手続補正書】

【提出日】平成 13 年 10 月 2 日 (2001. 10. 2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】半導体基板上に形成された制御ゲート、浮遊ゲート、ゲート絶縁膜、ドレイン領域及びソース領域を備えた MOS 電界効果トランジスタ（以下「MOS トランジスタ」という）からなる複数個のメモリセルを複数の行及び列を含むマトリックスに配置し、同一行にあるメモリセルの制御ゲートの相互間をその行のワード線によって接続し、
同一列にあるメモリセルのドレイン領域の相互間をその列のデータ線によって接続し、かつ、
同一列にあるメモリセルのソース領域の相互間をその列のソース線によって接続することによって構成した、電氣的に消去及び書込可能な並列接続のメモリアレイからなる半導体記憶装置において、
各列のメモリセルの各々は 1 個の MOS トランジスタによって構成され、該 MOS トランジスタは、一導電型の半導体基板上に該基板と電氣的に分離して形成された、列ごとにメモリセルに共通である同一導電型のウエル層内にドレイン領域及びソース領域をそれぞれ形成してなるものであり、かつ、互いに異なる列のメモリセルのウエル層の相互間は、ウエル配線によって共通に接続され、

各ソース線は、該ソース線がある列のウエル層内に形成されたドレイン領域及びソース領域を備えた MOS トランジスタからなるスイッチ素子を介して共通ソース線に接続され、

上記複数個のメモリセルは複数のブロックに分割され、各ブロックはブロック内の列ごとにソース線とスイッチ素子を備え、かつ、ブロック内のスイッチ素子のゲート端子はゲート配線によって相互に接続され、

ブロック内のスイッチ素子は、ゲート配線によって一斉に駆動されることにより、同ブロックのデータ消去期間及びデータ書込期間においてオフ状態になり、

上記複数個のメモリセルの各々は、F-N (Fowler-Nordheim) 現象が全面において生じるチャネル領域を浮遊ゲートの下に有していることを特徴とする並列型不揮発性半導体記憶装置。

【請求項 2】ウエル層内に形成されたドレイン領域及びソース領域は、相互に対称な構造をなしていることを特徴とする請求項 1 に記載の並列型不揮発性半導体記憶装置。

【請求項 3】同一データ線に接続された同一列のメモリセルと該同一データ線に隣接する二個の他のデータ線に接続された二つの他の列のメモリセルの相互間は、同一列のドレイン領域側に配置されたメモリセル分離領域と同一列のソース領域側に配置されたメモリセル分離領域によって電氣的に絶縁され、

同一列のスイッチ素子は、ドレイン領域側のメモリセル分離領域とソース領域側のメモリセル分離領域の間に配置されていることを特徴とする請求項 1 に記載の並列型不揮発性半導体記憶装置。

【請求項 4】メモリセルに書き込むべき情報を予め記憶するラッチ回路がデータ線ごとに設けられていることを特徴とする請求項 1 に記載の並列型不揮発性半導体記憶装置。

【請求項 5】データ消去の場合は、所定の正電圧をウエル配線に付加し、該正電圧よりも低い所定の電圧を選択ワード線に付加するとともに、データ書込の場合は、所定の負電圧をウエル配線に付加し、該負電圧よりも高い所定の電圧を選択ワード線に付加し、かつ、ウエル配線に付加した電圧と同程度の電圧を選択データ線に付加し、更に、互いに異なる列のソース線を互いに分離して開放状態にすることを特徴とする請求項 1 に記載の半導体記憶装置の使用法。

【請求項 6】データ消去の期間中は、選択ワード線に付加した電圧とウエル配線に付加した電圧の中間電圧を非選択ワード線に付加し、データ書込の期間中は、上記ウエル配線に付加した電圧と選択ワード線に付加した電圧の中間電圧を非選択ワード線に付加し、所定の正電圧を非選択データ線に付加することを特徴とする請求項 5 に記載の半導体記憶装置の使用法。

【請求項 7】データ書込の期間中において非選択ワード線に付加する前記中間電圧は、基板電圧を越えない電圧であることを特徴とする請求項 6 に記載の半導体記憶装置の使用法。

【請求項 8】個々のデータ線は、データ消去の期間中、ウエル配線に付加した電圧と同程度の正電圧に保持するか開放状態に保持することを特徴とする請求項 6 に記載の半導体記憶装置の使用法。

【請求項 9】互いに異なる列のソース線は、データの消去の期間中、互いに分離して開放状態に保持することを特徴とする請求項 6 に記載の半導体記憶装置の使用方

法。

【請求項 10】データ消去、データ書込、データ読出のいずれの場合も、ウエル配線に付加した電圧と共通ソース線に付加した電圧を等しくすることを特徴とする請求項 5 に記載の半導体記憶装置の使用法。

【請求項 11】メモリセルに書き込むべき情報を予め記憶するラッチ回路がデータ線ごとに設けられており、データ書込の期間中、ラッチ回路を含むウエル層に付加した電圧とデータ書込動作が行なわれるメモリセルのウエル層に付加した電圧を等しくすることを特徴とする請求項 6 に記載の半導体記憶装置の使用法。

【請求項 12】各データ線は、該データ線に接続される別のスイッチ素子を備え、

該別のスイッチ素子は、該データ線がある列のウエル層内に形成されたドレイン領域及びソース領域を備えた MOS トランジスタからなり、かつ、該データ線を該列のメモリセルのドレイン領域に接続されたローカルデータ線とメインデータ線とに分けて双方を接続するものであり、

各ブロックは、ブロック内の列ごとにローカルデータ線と別のスイッチ素子を備え、

別のスイッチ素子は、該列のドレイン領域側のメモリセル分離領域と該列のソース領域側のメモリセル分離領域の間に配置されていることを特徴とする請求項 3 に記載の並列型不揮発性半導体記憶装置。

【請求項 13】ソース線に接続されたスイッチ素子のゲート端子に付加した電圧がウエル配線に付加した電圧と等しく、

共通ソース線に付加した電圧がゲート端子に付加した電圧と等しいか該電圧よりも高い電圧であることを特徴とする請求項 9 に記載の半導体記憶装置の使用法。